

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re U.S. Patent Application of )  
OKUBO et al. )  
Application Number: To Be Assigned )  
Filed: Concurrently Herewith )  
For: DATA PROCESSER AND DATA )  
PROCESSING SYSTEM )

Honorable Assistant Commissioner  
for Patents  
Washington, D.C. 20231

JC986 U.S. PTO  
09/993704  
11/27/01

*Hy*  
*Priority*  
*Pop*  
*mas*  
*4/4/02*

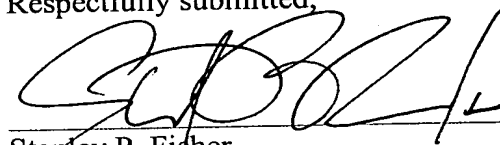
**REQUEST FOR PRIORITY  
UNDER 35 U.S.C. § 119  
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of November 29, 2000, the filing date of the corresponding Japanese patent application 2000-362668.

The certified copy of corresponding Japanese patent application 2000-362668 is being submitted herewith. Acknowledgment of receipt of the certified copies is respectfully requested in due course.

Respectfully submitted,



Stanley P. Fisher  
Registration Number 24,344

**REED SMITH HAZEL & THOMAS LLP**  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200

**JUAN CARLOS A. MARQUEZ**  
Registration No. 34,072

November 27, 2001

3/0001909

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC986 U.S. PTO  
09/993704  
11/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月29日

出 願 番 号

Application Number:

特願2000-362668

出 願 人

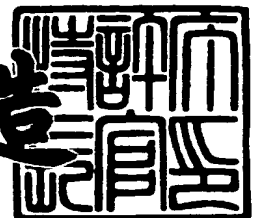
Applicant(s):

株式会社日立製作所

2001年 9月25日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3087802

【書類名】 特許願

【整理番号】 H00019091

【提出日】 平成12年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/04

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 大久保 晴康

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 木内 淳

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 松井 重純

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 047-361-8861

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データプロセッサ及びデータ処理システム

【特許請求の範囲】

【請求項 1】 命令を実行可能な CPU、クロック信号に対する通倍及び分周動作が可能であって同期クロック信号を出力するクロックパルスジェネレータ、並びにその他の回路モジュールを半導体チップに備え、スタンバイモード、ライトスタンバイモード及びスリープモードを有するデータプロセッサであって、前記スリープモードでは前記 CPU への同期クロック信号の供給が停止され且つその他の回路モジュールへ同期クロック信号が供給され、

前記スタンバイモードでは前記クロックパルスジェネレータにおける前記通倍及び分周動作が停止され且つ前記 CPU 及びその他の回路モジュールへの同期クロック信号の供給が停止され、

前記ライトスタンバイモードでは前記クロックパルスジェネレータにおける前記通倍及び分周動作が可能にされ且つ前記 CPU 及びその他の回路モジュールへの同期クロック信号の供給が停止されることを特徴とするデータプロセッサ。

【請求項 2】 前記その他の回路モジュールとして少なくともモード制御回路を備え、このモード制御回路は、制御レジスタを有し、CPU による所定の命令実行時に制御レジスタの第 1 の状態に応答して前記スリープモードを設定し、CPU による前記所定の命令実行時に制御レジスタの第 2 の状態に応答して前記ライトスタンバイモードを設定し、CPU による前記所定の命令実行時に制御レジスタの第 3 の状態に応答して前記スタンバイモードを設定するものであることを特徴とする請求項 1 記載のデータプロセッサ。

【請求項 3】 前記モード制御回路は割込み要求に応答してスリープモードを解除し CPU による命令実行可能な状態に移移させるものであることを特徴とする請求項 2 記載のデータプロセッサ。

【請求項 4】 前記モード制御回路は外部割込み要求に応答してライトスタンバイモードを解除し CPU による命令実行可能な状態に移移させるものであることを特徴とする請求項 2 記載のデータプロセッサ。

【請求項 5】 前記モード制御回路は外部割込み要求に応答してスタンバイ

モードを解除しCPUによる命令実行可能な状態に遷移させるものであることを特徴とする請求項2記載のデータプロセッサ。

【請求項6】 前記モード制御回路は前記その他の回路モジュールの一つであるタイマによる所定値までの計数に応答してスリープモードからライトスタンバイモードに遷移させるものであることを特徴とする請求項2記載のデータプロセッサ。

【請求項7】 前記タイマによる所定値までの計数途上におけるDMA転送要求に応答して計数を抑止するものであることを特徴とする請求項6記載のデータプロセッサ。

【請求項8】 前記モード制御回路は前記スリープモードにおける前記CPUへの同期クロック信号の供給停止をCPUのクロック入力回路における入力動作の抑止により制御するものであることを特徴とする請求項2記載のデータプロセッサ。

【請求項9】 前記モード制御回路は前記ライトスタンバイモードにおける前記CPU及びその他の回路への同期クロック信号の供給停止をクロックパルスジェネレータのクロック出力回路における出力動作の抑止により制御するものであることを特徴とする請求項2記載のデータプロセッサ。

【請求項10】 前記クロックパルスジェネレータは、クロック信号の周波数を通倍するPLL回路と、クロック信号の周期を分周する分周器とを有して成るものであることを特徴とする請求項1乃至9の何れか1項記載のデータプロセッサ。

【請求項11】 命令を実行可能なCPU、クロック信号に対する通倍及び分周動作が可能であって同期クロック信号を出力するクロックパルスジェネレータ、及びその他の回路モジュールを半導体チップに備え、前記その他の回路モジュールとして少なくとも第1モード及び第2モードの設定を制御するモード制御回路を備えて成るデータプロセッサであって、

前記第1モードでは前記CPUへの同期クロック信号の供給が停止され且つその他の回路モジュールへ同期クロック信号が供給され、

前記第2モードでは前記クロックパルスジェネレータにおける前記通倍及び分

周動作が可能にされ且つ前記CPU及びその他の回路モジュールへの同期クロック信号の供給が停止され、

前記モード制御回路は、第1モードを設定した後、所定時間経過までにCPUに対する動作の指示が無いときは第1動作モードを第2動作モードに遷移させるものであることを特徴とするデータプロセッサ。

【請求項12】 前記所定時間経過は前記その他の回路モジュールの一つであるタイマによる所定値までの計数動作によって得るものであることを特徴とする請求項11記載のデータプロセッサ。

【請求項13】 前記その他の回路モジュールの一つとして更にDMACを有し、前記タイマは所定値までの計数動作途上で前記DMACに対するDMA転送要求に応答して計数値を初期化することを特徴とする請求項12記載のデータプロセッサ。

【請求項14】 前記モード制御回路は、制御レジスタを有し、CPUによる所定の命令実行時に制御レジスタの第1の状態に応答して前記第1モードを設定し、CPUによる前記所定の命令実行時に制御レジスタの第2の状態に応答して前記第2モードを設定するものであることを特徴とする請求項11記載のデータプロセッサ。

【請求項15】 前記モード制御回路は割込み要求に応答して前記第1モードを解除しCPUによる命令実行可能な状態に遷移させるものであることを特徴とする請求項14記載のデータプロセッサ。

【請求項16】 前記モード制御回路は外部割込み要求に応答して第2モードを解除しCPUによる命令実行可能な状態に遷移させるものであることを特徴とする請求項14記載のデータプロセッサ。

【請求項17】 前記モード制御回路は前記スリープモードにおける前記CPUへの同期クロック信号の供給停止をCPUのクロック入力回路における入力動作の抑止により制御するものであることを特徴とする請求項11又は14記載のデータプロセッサ。

【請求項18】 前記モード制御回路は前記ライトスタンバイモードにおける前記CPU及びその他の回路への同期クロック信号の供給停止をクロックパル



スジェネレータのクロック出力回路における出力動作の抑止により制御するものであることを特徴とする請求項 1 1 又は 1 4 記載のデータプロセッサ。

【請求項 1 9】 前記クロックパルスジェネレータは、クロック信号の周波数を通倍する PLL 回路と、クロック信号の周期を分周する分周器とを有して成るものであることを特徴とする請求項 1 1 乃至 1 8 の何れか 1 項記載のデータプロセッサ。

【請求項 2 0】 請求項 1 乃至 1 9 の何れか 1 項記載のデータプロセッサと、前記データプロセッサの CPU がアクセス可能なメモリと、前記データプロセッサに割り込みを要求する回路と、を有して成るものであることを特徴とするデータ処理システム。

【請求項 2 1】 バッテリ電源を動作電源とするものであることを特徴とする請求項 2 0 記載のデータ処理システム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、データプロセッサ、特にその低消費電力モードに関し、例えばバッテリ電源で動作する携帯電話機等のデータ処理システムに適用して有効な技術に関する。

【0 0 0 2】

【従来の技術】

データプロセッサは同期クロック信号を生成するクロックパルスジェネレータを内蔵し、発振子を利用してリングオシレータで形成されるクロック信号或いは外部から供給されるクロック信号を周波数通倍及び分周して、同期クロック信号を生成する。データプロセッサに内蔵される CPU（中央処理装置）や S C I（シリアルインタフェース回路）等はその同期クロック信号を受けて同期動作する。このようなデータプロセッサにおける低消費電力モードとして、スタンバイモードやスリープモードがある。例えばスタンバイモードでは、クロックパルスジェネレータに設けられた周波数通倍用の PLL（フェーズ・ロックド・ループ）回路や分周用の分周器の動作が停止され、データプロセッサ内部の同期クロック信

号の変化が全て停止される。スリープモードでは、CPUの同期クロック入力回路の入力動作が抑止されてCPUの動作が停止され、周辺回路等その他の回路には同期クロック信号が供給されて動作可能にされる。

【0003】

電子機器の低消費電力モードについて記載された文献として例えば特開平3-105408号公報がある。これには、発振制御回路を用いてCPUや周辺回路へのクロック信号の供給を制御する技術が記載され、クロック信号の供給を停止するにはクロック配線の接続を遮断し、或いは発振そのものを停止させる、とある。

【0004】

【発明が解決しようとする課題】

データプロセッサの低消費電力を最優先とする場合には、スタンバイモードを設定すればよいが、その状態からCPUを命令実行可能にするまでにはPLL回路の動作安定化を待たなければならず、従来はその遷移時間を短縮する動作モードについて考慮されていなかった。逆に、低消費電力状態から即座にCPUを命令実行可能状態に遷移させることを最優先とするならば、スリープモードを設定すればよいが、このとき動作可能な周辺回路を全く動作させる必要が無ければ、周辺回路へのクロック供給経路でクロックバッファ若しくはクロックドライバが無駄な電力を消費することになり、低消費電力の効果は薄れてしまう。

【0005】

本発明の目的は、データプロセッサ内部の同期クロック信号の変化を全て停止させるスタンバイモードよりもCPUの命令実行可能状態への遷移が速く、しかも、CPUの動作だけを停止させるスリープモードよりも電力消費を低減可能な動作モードを有するデータプロセッサを提供することにある。

【0006】

本発明の別の目的は、低消費電力状態から動作状態への迅速な遷移と、低消費電力との双方の要求を満足させることができるデータプロセッサを提供することにある。

【0007】

本発明のその他の目的は低消費電力状態から動作状態への迅速な遷移と、低消費電力との双方の要求を満足する携帯情報端末装置のようなデータ処理システムを提供することにある。

【 0 0 0 8 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 0 9 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 0 】

〔 1 〕 本発明の第 1 の観点によるデータプロセッサは、命令を実行可能な CPU、クロック信号に対する通倍及び分周動作が可能であって同期クロック信号を出力するクロックパルスジェネレータ、並びにその他の回路モジュールを半導体チップに備え、スタンバイモード、ライトスタンバイモード及びスリープモードを有する。前記スリープモードでは前記 CPU への同期クロック信号の供給が停止され且つその他の回路モジュールへ同期クロック信号が供給される。前記スタンバイモードでは前記クロックパルスジェネレータにおける前記通倍及び分周動作が停止され且つ前記 CPU 及びその他の回路モジュールへの同期クロック信号の供給が停止される。前記ライトスタンバイモードでは前記クロックパルスジェネレータにおける前記通倍及び分周動作が可能にされ且つ前記 CPU 及びその他の回路モジュールへの同期クロック信号の供給が停止される。

【 0 0 1 1 】

前記ライトスタンバイモードは、データプロセッサ内部の同期クロック信号の変化を全て停止させるスタンバイモードよりも CPU の命令実行可能状態への遷移が速く、しかも、CPU の動作だけを停止させるスリープモードよりも電力消費を低減可能である。したがって、上記データプロセッサによれば、低消費電力状態と動作状態との間の迅速な遷移と、低消費電力との双方の要求を満足させることができる。

## 【 0 0 1 2 】

本発明の具体的な態様では、前記その他の回路モジュールとして少なくともモード制御回路を備え、このモード制御回路は、制御レジスタを有し、CPUによる所定の命令実行時に制御レジスタの第1の状態に応答して前記スリープモードを設定し、CPUによる前記所定の命令実行時に制御レジスタの第2の状態に応答して前記ライトスタンバイモードを設定し、CPUによる前記所定の命令実行時に制御レジスタの第3の状態に応答して前記スタンバイモードを設定する。要するに、低消費電力状態はCPUによるソフトウェアの実行、すなわち、制御レジスタへの制御データの書込みとスリープ命令のような所定の命令実行とによって設定することができる。

## 【 0 0 1 3 】

ソフトウェアで設定された低消費電力状態から命令実行可能な状態への遷移は、前記モード制御回路が割り込み要求などに応答して行えばよい。スリープモードに対しては内部割り込み又は外部割り込み要求に応答してCPUによる命令実行可能な状態に遷移させ、ライトスタンバイモード又はスタンバイモードに対しては、外部割り込み要求に応答して命令実行可能な状態に遷移させればよい。

## 【 0 0 1 4 】

一定時間データプロセッサが動作しない場合に自動的に電力消費を低減するという観点に立つと、前記モード制御回路は前記その他の回路モジュールの一つであるタイマによる所定値までの計数に応答してスリープモードからライトスタンバイモードに遷移させるとよい。このとき、その他の回路の一つであるDMACによるDMA転送はスリープモードのまま実行可能であるから、前記タイマによる計数動作途上でDMA転送要求があったときは、それに応答して計数を抑止させ、DMA転送後にライトスタンバイモードへの遷移を可能にすればよい。これにより、スリープモードでDMA転送を行っている最中に動作モードが不所望に変化してしまう事態を防止することができる。

## 【 0 0 1 5 】

Hツリーのような階層的なクロック経路が採用されている場合を想定する。このとき、CPU等に対して個別的に同期クロックの供給を停止するとき、前記モ

ード制御回路は前記スリープモードにおける前記CPUへの同期クロック信号の供給停止をCPUのクロック入力回路における入力動作の抑止により制御すればよい。クロック経路の末端に接続する全ての回路モジュールに対してクロック供給を停止する場合には、前記モード制御回路は前記ライトスタンバイモードにおける前記CPU及びその他の回路への同期クロック信号の供給停止をクロックパルスジェネレータのクロック出力回路における出力動作の抑止により制御すればよい。これにより、Hツリーのようなクロック経路に配置された多数のクロックバッファ若しくはクロックドライバがライトスタンバイ状態で無駄に電力を消費する事態を抑制することができる。

【 0 0 1 6 】

〔 2 〕 本発明の第 2 の観点によるデータプロセッサは、命令を実行可能なCPU、クロック信号に対する通倍及び分周動作が可能であって同期クロック信号を出力するクロックパルスジェネレータ、及びその他の回路モジュールを半導体チップに備え、前記その他の回路モジュールとして少なくともスリープモードのような第 1 モード及びライトスタンバイモードのような第 2 モードの設定を制御するモード制御回路を備える。前記第 1 モードでは前記CPUへの同期クロック信号の供給が停止され且つその他の回路モジュールへ同期クロック信号が供給される。前記第 2 モードでは前記クロックパルスジェネレータにおける前記通倍及び分周動作が可能にされ且つ前記CPU及びその他の回路モジュールへの同期クロック信号の供給が停止される。前記ライトスタンバイモードのような第 2 モードは、データプロセッサ内部の同期クロック信号の変化を全て停止させるスタンバイモードのような動作モードよりもCPUの命令実行可能状態への遷移が速く、しかも、CPUの動作だけを停止させるスリープモードのような第 1 モードよりも電力消費を低減可能である。このとき、前記モード制御回路は、第 1 モードを設定した後、所定時間経過までにCPU等に対する動作の指示が無いときは第 1 動作モードを第 2 動作モードに遷移させる。したがって、上記データプロセッサによれば、一定時間データプロセッサが動作しない場合に自動的に電力消費を低減することができ、しかも、ライトスタンバイモードのような第 2 モードでは前記通倍・分周動作が継続されているから、その後のプログラム実行可能状態への

遷移も迅速である。

【0017】

本発明の具体的な形態として、前記所定時間経過は前記その他の回路モジュールの一つであるタイマによる所定値までの計数動作によって得るようにしてよい。また、このとき、その他の回路の一つであるDMACによるDMA転送はスリープモードのまま実行可能であるから、前記タイマは所定値までの計数動作途上で前記DMACに対するDMA転送要求に応答して計数値を初期化して実質的な計数を抑止し、DMA転送後に計数を再開させてライトスタンバイモードへの遷移を可能にすればよい。

【0018】

前記第1モード及び第2モードのような低消費電力状態は前述と同様に、CPUによるソフトウェアの実行、すなわち、制御レジスタへの制御データの書込みとスリープ命令のような所定の命令実行とによって設定すればよい。また、ソフトウェアで設定された低消費電力状態から動作状態への遷移は、前記モード制御回路が割り込み要求などに応答して行えばよい。

【0019】

〔3〕本発明に係るデータ処理装置は、前記データプロセッサと、前記データプロセッサのCPUがアクセス可能なメモリと、前記データプロセッサに割り込みを要求する回路とを有して構成され、携帯電話機などの携帯情報端末装置を想定したとき、データ処理システムはバッテリー電源を動作電源とする。このデータ処理システムによれば、低消費電力状態から動作状態への迅速な遷移と、低消費電力との双方の要求を満足することができる。

【0020】

【発明の実施の形態】

図1には本発明に係るデータプロセッサの第1の例が示される。同図に示されるデータプロセッサ1は、命令を実行可能なCPU2、クロック信号に対する通倍及び分周動作が可能であって同期クロック信号CK1、CK2を出力するクロックパルスジェネレータ3、モード制御回路4、タイマ5、割り込み制御回路6、並びにその他の周辺回路7を有し、単結晶シリコンなどの1個の半導体チップ

に形成されている。前記クロックパルスジェネレータ 3、モード制御回路 4、タイマ 5、割り込み制御回路 6 及びその他の周辺回路 7 は CPU 2 のアドレス空間に配置され、図示を省略するアドレスバス、データバス及びコントロールバスを介して CPU 2 によりアクセス可能にされる。図 1 に例示されるクロック配線 8 は H ツリー状に敷設されて末端の回路モジュールまで延在され、前記同期クロック信号 CK 1、CK 2 を伝播する。クロック配線 8 の途中には複数のクロックドライバ 9 が配置されている。

## 【 0 0 2 1 】

前記 CPU 2、モード制御回路 4、タイマ 5、割り込み制御回路 6 及びその他の周辺回路 7 はクロック配線 8 を介して入力される同期クロック信号 CK 1、CK 2 に同期動作される。それら CPU 2、モード制御回路 4、タイマ 5、割り込み制御回路 6 及びその他の周辺回路 7 にはクロック信号 CK 1、CK 2 とは非同期で動作可能な回路部分もあり、例えば、モード制御信号の入力回路、割り込み要求信号の入力回路等である。

## 【 0 0 2 2 】

前記 CPU 2 は命令をフェッチし、フェッチした命令を解読し、解読結果に従って演算処理やオペランドアクセス等を行う。

## 【 0 0 2 3 】

クロックパルスジェネレータ 3 は通倍・分周回路 1 1 及びクロック選択回路 1 2 を有する。通倍・分周回路 1 1 は、発振子を利用したリングオシレータ（図示せず）で生成されるクロック信号又は外部から与えられるシステムクロック信号を原クロック信号 1 3 として入力し、これを周波数通倍及び（／又は）分周する。通倍・分周回路 1 1 で生成される数種類のクロック信号から所望のクロック信号がクロック選択回路 1 2 で選択され、前記同期クロック信号 CK 1、CK 2 として出力される。クロック選択回路 1 2 によるクロック信号の選択は、CPU 2 によってアクセス可能なクロック周波数制御レジスタ（図示せず）をモード制御回路 4 が有し、当該クロック周波数制御レジスタの設定値に応じたクロック選択信号 2 9 によって行なわれる。

## 【 0 0 2 4 】

割り込み制御回路 6 は入力された割り込み要求信号のマスクレベル及び優先レベルを図示を省略する割り込みマスク回路及び割り込み優先回路の設定にしたがって判定し、判定結果が割り込みマスク対象ではなく、且つ割り込み優先レベルの高い他の割り込み要求がなされていないことを条件に、CPU 2 に割り込み信号をアサートする。これによって CPU 2 は、その割り込み要因に応じて別の命令実行処理に分岐する。図において、割り込み要求信号は内蔵周辺回路からの割り込み要求信号 1 4 A、1 4 B、及びデータプロセッサの外部から与えられる割り込み要求信号 1 5 A、1 5 B に大別される。その内、1 4 A、1 5 A はマスク不可能な割り込み要求信号（ノン・マスカブル・割り込み要求信号）を意味する。

## 【 0 0 2 5 】

タイマ 5 は加算器（ADD）2 0、コンパレータ（CMP）2 1、及び CPU 2 によってアクセス可能なレジスタ（REG）2 2、2 3、2 4 を有する。例えばレジスタ 2 3 に値 1 を設定しレジスタ 2 2 の出力とレジスタ 2 3 の出力を加算器 2 0 で加算して前記レジスタ 2 2 に戻す動作を繰返すことでカウンタ動作（計数動作）を実現でき、その計数値を前記コンパレータ 2 1 でレジスタ 2 4 の設定値と比較し、一致を検出して信号（タイムアウト信号）2 5 をイネーブルレベルにする。

## 【 0 0 2 6 】

モード制御回路 4 は代表的に示された低消費電力制御ロジック 3 0 及び CPU 2 によってアクセス可能な制御レジスタ 3 1 を有する。データプロセッサ 1 は低消費電力モードとしてスタンバイモード、ライトスタンバイモード（第 2 モード）及びスリープモード（第 1 モード）を有する。CPU 2 によるプログラム実行状態から前記低消費電力モードへの遷移は、特に制限されないが、CPU 2 によるスリープ命令実行時における前記制御レジスタ 3 1 の設定値に応じて行なわれる。そのために、低消費電力制御ロジック 3 0 は、CPU 2 がスリープ命令を実行することによってイネーブルにされる制御信号 2 8 を入力し、また、制御レジスタ 3 1 の設定値を入力する。低消費電力制御ロジック 3 0 は、それら入力に応じて制御信号 3 2 ～ 3 7 で回路モジュール 2、3、5、6、7 に対するクロック制御を行い、これによって対応する低消費電力モードへの遷移を制御する。すな



わち、前記制御信号 3 2, 3 5, 3 6, 3 7 は対応する回路モジュールのクロック入力回路におけるクロック入力の許可と禁止を制御する。制御信号 3 3 はクロック選択回路 1 2 からクロック信号 C K 1, C K 2 を出力させる動作の許可と禁止を制御する。前記制御信号 3 4 は通倍・分周回路 1 1 の通倍及び分周動作の許可と禁止を制御する。

## 【 0 0 2 7 】

前記スリープモードでは前記 C P U 2 は同期クロック信号 C K 2 の入力 that 停止され且つその他の回路モジュール 4, 5, 6, 7 へは同期クロック信号 C K 1, C K 2 の入力 that 許容される。前記スタンバイモードでは前記通倍・分周回路 1 1 における通倍及び分周動作 that 停止され且つ前記 C P U 2 及びその他の回路モジュール 4, 5, 6, 7 への同期クロック信号 C K 1, C K 2 の供給 that 停止される。前記ライトスタンバイモードでは前記通倍・分周回路 1 1 における通倍及び分周動作 that 可能にされ且つ前記 C P U 2 及びその他の回路モジュール 4, 5, 6, 7 への同期クロック信号 C K 1, C K 2 の供給 that 停止される。尚、図示はしないが、制御レジスタ 3 1 は内蔵周辺回路毎に定常的に動作の停止を指示する動作停止制御ビットを有し、動作停止制御ビット that セット状態にされると、対応する内蔵周辺回路は低消費電力モード及びプログラム実行状態の双方において同期クロック信号の入力 that 禁止され、これによってその回路動作 that 抑止される。

## 【 0 0 2 8 】

図 2 にはクロックパルスジェネレータ 3 の一例 that 示される。通倍・分周回路 1 1 は分周器 4 0 及び P L L 回路 4 1 を有する。分周器 4 0 は原クロック信号 1 3 を P L L 回路 4 1 を使用せずに内部に供給するとき原クロック信号 1 3 の周波数を  $1/2$  にしてクロックデューティを 5 0 % に整える回路である。P L L 回路 4 1 は原クロック信号 1 3 を通倍する回路である。通倍率は図示を省略する制御レジスタによって指示される。分周器 4 0 及び P L L 回路 4 1 の分周・通倍動作の停止・許容は前記制御信号 3 4 によって制御される。

## 【 0 0 2 9 】

クロック選択回路 1 2 は、セレクトア 4 2、分周器 4 3, 4 4、セレクトア 4 5, 4 6、及びクロック出力回路 4 7, 4 8 を有する。セレクトア 4 2 は分周回路 4 0

の出力又はPLL回路41の出力を選択する。分周器43, 44はセクタ42の出力周期を複数種類に分周し、セクタ45, 46が制御信号に従ってその分周クロック信号を選択する。クロック出力回路47, 48は、特に制限されないが、オア（論理和）ゲートによって構成され、前記制御信号33のローレベルにより前記セクタ45, 46の出力するクロック信号を同期クロック信号CK1, CK2として出力する。制御信号33がハイレベルのときクロック出力回路47, 48は定常的にローレベルを出力し、クロック信号CK1, CK2の出力を抑止する。前記クロック出力回路47, 48にはその他の論理ゲートを採用してよいことは言うまでもない。

## 【0030】

図3にはCPU2のクロック入力系が例示される。外部から供給される同期クロック信号CK2は、クロック入力回路50に入力され、ここからクロックドライバ51を介して各種フリップフロップ（FF）52に供給される。クロック入力回路50には制御信号32が供給され、クロック信号32の入力許可と停止が制御される。図示は省略するが、タイマ5、割り込み制御回路6、内蔵周辺回路7も同様にクロック入力回路を有し、制御信号35、36、37でクロック入力の許可・停止が制御される。

## 【0031】

図4には制御レジスタの設定値と低消費電力モードとの関係が例示される。低消費電力モードは、CPU2がスリープ命令を実行したとき、制御レジスタ31に割当てられたスタンバイビットSBYとライトスタンバイビットLT SBYとの設定状態に従って決る。例えば、低消費電力制御ロジック30は、CPU2によるスリープ命令の実行時に制御レジスタ31の第1の状態（SBY=0, LT SBY=0）に回答して前記スリープモードを設定し、CPU2による前記スリープ命令実行時に制御レジスタ31の第2の状態（SBY=0, LT SBY=1）に回答して前記ライトスタンバイモードを設定し、CPU2による前記スリープ命令実行時に制御レジスタの第3の状態（SBY=1, LT SBY=0又はSBY=1, LT SBY=1）に回答して前記スタンバイモードを設定する。

## 【0032】

図5にはプログラム実行状態と低消費電力モードとの間の状態遷移が例示される。パワーオンリセットによりデータプロセッサ1はプログラム実行状態ST1にされる。このプログラム実行状態において、通倍・分周回路11が動作され、選択回路12で選択された周波数のクロック信号CK1, CK2が、CPU2、モード制御回路4、タイマ5、割り込み制御回路6、及び内蔵周辺回路7に供給され、CPU2は命令をフェッチして実行可能にされる。

#### 【0033】

スリープモードST2、ライトスタンバイモードST3、又はスタンバイモードST4への遷移は図4で説明したように、CPU2が制御レジスタ31の制御ビットSBY, LTSBYを予め設定し、スリープ命令を実行することによって可能にされる(TR1, TR2, TR3)。スリープモードST2ではCPU2を除く内蔵回路は動作可能であり、スリープモードST2からプログラム実行状態ST1への遷移は、内部割り込み又は外部割り込みの何れの要求によっても可能にされる。これに対し、内部割り込み要求発生元となる内部回路モジュールの動作が停止されたライトスタンバイST3又はスタンバイモードST4の何れの動作モードからプログラム実行状態ST1への遷移は、外部割り込み要求により可能にされる。外部割り込みにはハードウェアリセットなどの要求も含まれている。割り込み制御回路6及び低消費電力制御ロジック30において割込要求信号に対して応答する回路部分はクロック信号に対して非同期動作されるから、同期クロック信号CK1, CK2の入力が停止されていても割り込み要求に対する応答処理を行うことは可能になっている。

#### 【0034】

前記割込要求によるプログラム実行状態への遷移は、その割込要求がマスク可能であるか否かにより、制御が異なる。マスク可能な割込要求信号14B, 15Bに対しては割り込み優先順位と割り込みマスクの状態を割り込み制御回路6で判定しなければ当該割り込み要求が受けられるか確定しない。したがって、この場合には、割り込み制御回路6は、マスク可能な割込要求信号14B, 15Bに対して当該割り込を受けける場合、信号27で低消費電力制御ロジック30に現在の動作モードからプログラム実行状態への遷移制御(Tr4, Tr5、又はT

r 6) を指示する。一方、マスク不可能な割込要求信号 1 4 A, 1 5 A に対しては、低消費電力制御ロジック 3 0 はその割込要求を直接受け取り、割込み制御回路 6 による処理に並行して T r 4、T r 5、又は T r 6 の遷移制御を行う。

## 【 0 0 3 5 】

ライトスタンバイモード S T 3 では通倍・分周回路 1 1 の通倍及び分周動作は停止していない。スタンバイモードでは通倍・分周回路 1 1 の通倍及び分周動作は停止している。したがって、ライトスタンバイモード S T 3 の解除はスタンバイモード S T 4 の解除時と異なり、通倍・分周回路 1 1 の通倍及び分周動作の安定化時間を確保することなく、直ちにプログラム実行状態 S T 1 に入ることができる。要するに、C P U 2 は直ちに命令の実行を開始することができる。

## 【 0 0 3 6 】

このとき、前記低消費電力制御ロジック 3 0 は、スリープモード 1 を設定した後、所定時間経過までに C P U 2 等に対する動作の指示例えば割込要求が無いときはスリープモード S T 2 をライトスタンバイモード S T 3 に遷移させる。したがって、一定時間データプロセッサが動作しない場合に自動的にライトスタンバイモードに遷移させて電力消費を低減することができ、しかも、その場合であっても、スタンバイモードの場合よりも、プログラム実行状態への迅速な遷移を保証している。具体的な形態として、前記所定時間経過は前記タイマ 5 による所定値までの計数動作によるカウントアップ信号 2 5 で通知する。例えば、図 1 のタイマ 5 の構成に従えば、C P U 2 はスリープ命令の実行直前にレジスタ 2 3 に値 1 のデータを設定し、レジスタ 2 4 に比較値のデータを設定して、加算器 2 0 を利用してカウンタ動作を開始される。スリープモードにされた後、カウンタ動作による計数値がレジスタ 2 4 の設定値になったとき、カウントアップ信号 2 5 がイネーブルにされ、これによって低消費電力制御ロジック 3 0 はスリープモード S T 2 をライトスタンバイモード S T 3 に遷移させる制御を行う (T r 7)。カウントアップ信号 2 5 がイネーブルにされる前に、割込要求があった時は、低消費電力制御ロジック 3 0 は信号 2 5 の変化を無視する。或いは、その時、タイマ 5 のカウンタが初期化されてもよい。

## 【 0 0 3 7 】

図6には図1のデータプロセッサによるデータ処理が高速化するほどライトスタンバイモードによる低消費電力の効果が大きくなる例を示す。(A)に示されるようにCPU2には所定のインターバルで割込み等によってデータ処理が要求される。データ処理が要求されると、(B)のようにデータ処理能力が普通の場合にはCPU負荷a、時間2Tで処理が行なわれる。(D)のようにデータ処理能力が大凡その2倍の場合にはCPU負荷2a、時間Tで処理が行なわれる。ここでCPU負荷とは単位時間当りの処理量(処理サイクル数)を意味し、CPU2のプログラム実行状態における単位時間当りの消費電力は、(D)が(B)の2倍になる。この様子は、(C)、(E)のようにCPU2の動作が停止しているスリープモード時の消費電力水準からの単位時間当りの消費電力増加量に現れている。ここで、(C)、(E)ではスリープモードとライトスタンバイモード間の消費電力水準差をPとしている。結局データ処理速度が高速であれば必要なデータ処理時間が短くて済むから、その分だけ速くライトスタンバイモードに移移でき、データ処理速度の高速な(E)の場合の消費電力は $3P \cdot T$ となり、データ処理速度が普通の(C)の場合の消費電力が $2P \cdot 2T$ であるのに対して $3/4$ に低減される。このように、データプロセッサ1によるデータ処理が高速化するほどライトスタンバイモードによる低消費電力の効果が大きくなる。

#### 【0038】

図7には周辺回路モジュールとしてDMAC(ダイレクト・メモリ・アクセス・コントローラ)60を内蔵しするデータプロセッサ1Aの例が示される。DMAC60は図示を省略するデータバスを介してCPU2からデータ転送制御条件が設定される。DMAC60に例えば外部からDMA転送要求信号61により転送要求があると、バス権を獲得してデータ転送制御を開始する。DMAC60によるデータ転送制御は、CPU2により既にデータ転送制御条件が設定されていれば、スリープモードにおいても実行可能である。そこで、図5で説明したように、タイマを利用して自動的にスリープモードからライトスタンバイモードに移移させるための前記カウンタ動作を行っている場合にも、DMA転送要求に応答するデータ転送を完了できるようにするために、タイマ5Aは所定値までの計数動作途上で前記DMACに対するDMA転送要求に応答して計数値を初期化して

実質的な計数を抑止し、DMA転送後に計数を再開させてライトスタンバイモードへ遷移させるようになっている。すなわち、タイマ5Aは新たにレジスタ62とセレクタ63を有し、レジスタ62にはCPU2が値0データを格納し、DMA転送要求信号61によってDMA転送要求がイネーブルにされている間、セレクタ63にレジスタ62の値0データを選択させ、その間、比較器21による比較結果が不一致になるようにする。これによって、DMA転送動作中、信号25は強制的にディスエーブル状態に維持され、ライトスタンバイモードへの遷移が抑止される。DMA転送制御が終って信号61がディスエーブルにされると、セレクタ63は加算器20の出力を選択し、再度初期値からカウンタ動作を再開する。

## 【0039】

尚、図7のデータプロセッサ1Aのその他の構成は図1と同じである。それと同一符号を付して詳細な説明を省略する。

## 【0040】

図8には図5で説明したスリープモードからライトスタンバイモードへの自動的な遷移を採用しないデータプロセッサ1Bが例示される。要するに、周辺回路の一つとしてタイマ5Bを備えていても、図1、図2で説明したカウントアップ信号25が低消費電力制御ロジック30に供給されない。したがって、このデータプロセッサ1Bにおける低消費電力モードからプログラム実行状態への遷移は割り込み要求による場合だけであって、図5のTr7の遷移制御は行われない。

## 【0041】

図9には例えば図1のデータプロセッサを適用した携帯電話システムのブロック図が示される。携帯電話システムはバッテリー電源95を動作電源とし、アナログ部70とデジタル部71に大別される。アナログ部70では、アンテナ72にデュプレクサとしてのアンテナスイッチ73が接続され、アンテナ72で受信された高周波信号はローノイズアンプ(LNA)74で高周波ノイズが除去され、検波・復号回路(DEM)75で検波された信号が復号され、A/D変換器76でデジタルデータに変換され、デジタル部71に与えられる。デジタル部71から与えられるデジタル送信データは、特に制限されないが、GMS

K (Gaussian Filtered Minimum Shift Keying) 変調回路 77 で変調され、D/A 変換回路 78 でアナログ信号に変換される。変換されたアナログ信号は符号化回路 (MOD) 79 で符号化され、符号化された信号が高周波アンプ (HPA) 80 で高周波信号に増幅されて、アンテナ 72 から送信される。符号化回路 (MOD) 79 及び検波・復号回路 (DEM) 75 は PLL 回路 81 で生成されるクロック信号に同期動作される。

## 【 0 0 4 2 】

ディジタル部 71 は、特に制限されないが、時分割多重アクセス制御部 (TDMA) 84、前記データプロセッサ 1、及びプログラム・データメモリ 95 を有する。前記データプロセッサ 1 は、図 1 では図示を省略したディジタル信号処理部 (DSP) 83 及び機能実現手段としてのシステム制御処理手段及びプロトコル制御処理手段を備える。ディジタル信号処理部 83 は、等化器 85、チャネルコーデック 86、音声圧縮伸長部 87、ビタビ処理部 88 及び暗号化処理部 89 を、図示を省略する積和演算回路及びその動作プログラム等によって実現する。等化器 85 は前記 A/D 変換器 76 の出力を等化し、等化されたデータはビタビ処理部 88 で論理値が判定され、判定結果がチャネルコーデック 86 に与えられ所定のフォーマット変換が行われ、音声圧縮伸長部 87 で伸長される。伸長されたデータは D/A 変換器 90 を介してスピーカ 91 から放音される。マイク 92 に入力された音声は A/D 変換器 93 でディジタル音声データに変換され、音声圧縮伸長部 87 で圧縮され、チャネルコーデック 86 を介して所定のフォーマット変換が行われ、前記 GMSK 変調回路 77 に与えられる。

## 【 0 0 4 3 】

前記データプロセッサ 1 は、通話中には前記アナログ部 70 及びディジタル部 71 の動作をリアルタイムに制御して、等化处理、符号化处理、復号処理、及び暗号化処理を行う。更に、データプロセッサ 1 は移動体通信特有のプロトコル制御処理やシステム制御処理を行う。プロトコル制御処理は、通話中や着信待ち受け中において自分自身の携帯電話システムがどの通話エリアに所属するかの判定や、通話エリアを管轄する基地局の変更などを行う処理である。システム制御処理は携帯電話システムの操作ボタンの変化に応ずる指示を検出したりディスプレ

イの表示を制御したりする処理である。このようにデータプロセッサ 1 は携帯電話機の待ち受け、受信、送信、ボタン操作などの種々の事象の発生に応じたデータ処理を行うことになる。そのようなデータ処理を要する事象の発生は例えば割込要求などによって CPU 2 に通知され、また、データ処理を要しないとき CPU 2 はスリープ命令を実行して消費電力モードを設定すればよい。

## 【 0 0 4 4 】

図 1 0 には携帯電話システムの動作状態にตอบสนองして変化するデータプロセッサ 1 の動作状態の遷移経過が例示される。

## 【 0 0 4 5 】

図 1 0 の (A) は携帯電話システムによる音声データの受信タイミングを示し、受信データは前記 A/D 7 6 を介してディジタル部 7 1 に供給される。受信データの A/D 変換に応じてアナログ部 7 0 からデータプロセッサ 1 に外部割込み要求 IRQ<sub>e</sub> (15 A, 15 B) が与えられ (t<sub>1</sub>, t<sub>3</sub>)、これによって、データプロセッサ 1 の内蔵周辺回路 7 の一つであるシリアルインタフェース回路 (シリアル I/F) が入力動作を行う。シリアルインタフェース回路は入力動作を行ってから内部割込み IRQ<sub>i</sub> (14 A, 14 B) を発生し (t<sub>2</sub>, t<sub>4</sub>)、CPU 2 に、シリアルインタフェース回路の入力データに対する等化や復号等の処理を DSP 8 3 に実行させるためのコマンドを発行し、且つその入力データを DSP 8 3 のデータメモリ又はデータレジスタに与えるためのアドレッシング動作等のデータ処理を行う。CPU 2 のデータ処理に伴う負荷の増減は (C) に例示される。このとき、(E) にはライトスタンバイモード ST 3 を有するデータプロセッサ 1 における動作モードの遷移経過とそれに応ずる消費電力の変化が例示される。一方、(D) にはライトスタンバイモード ST 3 を有しないデータプロセッサ (プログラム実行状態 ST 1、スリープモード ST 2、スタンバイモード ST 4 を持つ) における動作モードの遷移経過とそれに応ずる消費電力の変化が比較例として例示される。

## 【 0 0 4 6 】

比較例に係る (D) の場合には期間 T 1 にスタンバイモード ST 4 にあるデータプロセッサは期間 T 2 でプログラム実行状態 ST 1 にされ、その後、スリープ



モードST2に遷移され（期間T3）、この状態で前記内部割込み要求IRQ<sub>i</sub>があると、プログラム実行状態ST1に遷移してCPUはシリアルインタフェース回路の入力データに対する処理が可能にされる（期間T4）。その処理の後、スリープ命令を実行して再びスリープモードST2に遷移され（期間T5）、次の受信データの入力を待ち受ける。このように、ライトスタンバイモードST3を持たない場合には、音声データ受信に際してプログラム実行状態ST1とスリープモードST2との間を交互に遷移する。

## 【0047】

これに対し、ライトスタンバイモードST3を利用する（E）の場合は、期間T1にスタンバイモードST4にあるデータプロセッサ1が期間T2でプログラム実行状態ST1にされた後、ライトスタンバイモードST3に遷移されて外部割込要求の発生を待つ（期間T3A）。時刻t<sub>1</sub>に同期する外部割り込み要求IRQ<sub>e</sub>が発生すると、これに応答してデータプロセッサ1はプログラム実行状態ST1に一旦遷移し、ここでスリープモードに遷移するためのスリープ命令の実行などを行い（期間T3B）、スリープモードST2に遷移する。この状態で前記内部割込み要求IRQ<sub>i</sub>があると、プログラム実行状態ST1に遷移してCPU2はシリアルインタフェース回路の入力データに対する処理が可能にされる（期間T4）。その処理の後、スリープ命令を実行して再びライトスタンバイモードST3に遷移され（期間T5A）、次の受信データの入力を待ち受ける。このようにライトスタンバイモードST3を持つ（E）の場合には、音声データ受信に際してプログラム実行状態ST1、ライトスタンバイモードST3、及びスリープモードST2との間を遷移する。尚、図10の動作説明においてタイマ5にはクロック信号の供給が停止されているものとする。図10の動作は図7及び図8のデータプロセッサ1A、1Bを採用する携帯電話システムの場合も同じである。

## 【0048】

図10の（E）より明らかなように、ライトスタンバイモードへの遷移のための処理期間T3B、T5B、…はその前のT3A、T5A、…の期間よりも相当短い。したがって、ライトスタンバイモードの期間T3A、T5A、…による消

費電力の低減はプログラム実行状態の期間 T 3 B, T 5 B, …による消費電力量増大に比べて格段に大きくなる。したがって、ライトスタンバイモード S T 3 を有するデータプロセッサを採用した携帯電話システムは当該動作モードを持たないデータプロセッサを用いる場合に比べて消費電力を格段に低減することができる。

【 0 0 4 9 】

以上説明したデータプロセッサ及びその利用システムによれば以下の作用効果を得ることができる。

【 0 0 5 0 】

1. ) 前記ライトスタンバイモード S T 3 は、データプロセッサ内部の同期クロック信号 C K 1, C K 2 の変化を全て停止させてクロックパルスジェネレータ 3 における通倍・分周動作も停止させるスタンバイモード S T 4 よりも C P U 2 の命令実行可能状態 S T 1 への遷移が速く、しかも、C P U 2 の動作だけを停止させるスリープモード S T 2 よりも電力消費を低減可能である。したがって、上記データプロセッサ 1, 1 A, 1 B によれば、低消費電力状態と動作状態との間の迅速な遷移と、低消費電力との双方の要求を満足させることができる。

【 0 0 5 1 】

2. ) 前記モード制御回路 4 は、スリープモード S T 2 を設定した後、所定時間経過までに C P U 2 や D M A C 6 0 に対する動作の指示が無いときはスリープ S T 2 モードをライトスタンバイモード S T 3 に遷移させる。したがって、一定時間データプロセッサが動作しない場合に自動的に電力消費を低減することができ、しかも、ライトスタンバイモードでは通倍・分周動作は継続されるから、その後の動作状態への遷移も迅速である。

【 0 0 5 2 】

3. ) 前記所定時間経過をタイマによる所定値までの計数動作によって得るようになれば、スリープモードからライトスタンバイモードへ自動的に遷移させる構成を容易に実現することができる。

【 0 0 5 3 】

4. ) 前記タイマ 5 A のように所定値までの計数動作途上で前記 D M A C に対

するDMA転送要求61に応答して計数値を初期化して実質的な計数を抑止し、DMA転送後に計数を再開させてライトスタンバイモードへ遷移させるようにすれば、スリープモードにおいてDMAC60がDMA転送制御を行っている時、動作モードが自動的にライトスタンバイモードに遷移する虞を未然に防止することができる。

【0054】

5.) Hツリーのような階層的なクロック経路8を想定したとき、ライトスタンバイモードST3、スタンバイモードST4において回路モジュールに対するクロック供給を停止する場合、前記モード制御回路4は前記ライトスタンバイモードST3、スタンバイモードST4における前記CPU及びその他の回路への同期クロック信号CK1, CK2の供給停止をクロックパルスジェネレータ3のクロック出力回路47, 48における出力動作の抑止により制御するから、Hツリーのようなクロック経路に配置された多数のクロックドライバ9がライトスタンバイ及びスタンバイ状態で動作して無駄な電力を消費する事態を抑制することができる。

【0055】

6.) データプロセッサ1、1A、又は1Bを採用した携帯電話システムのようなデータ処理システムによれば、低消費電力状態から動作状態への迅速な遷移と、低消費電力との双方の要求を満足することができる。特に、バッテリー電源95を動作電源とするデータ処理システムに好都合である。

【0056】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0057】

例えば、データプロセッサの内蔵周辺回路モジュールはタイマやシリアルインタフェース回路に限定されず、適宜変更可能である。また、データプロセッサはCPU及び浮動小数点演算ユニットを含んでも良いし、またDSPでソフトウェア的に行う処理を負担するハードウェア回路としてのアクセラレータを備えても

よい。また、データプロセッサを低消費電力状態からプログラム実行可能状態に遷移させる手段はリセットや例外処理も含む概念としての割り込みに限定されない。CPUを動作させる必要のある別の指示に応答させてもよい。また、上記データプロセッサは、携帯電話システムに限らず、その他の携帯情報端末、或いはプリンタや自動車等に対する機器制御に広く適用することができる。

【 0 0 5 8 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 5 9 】

すなわち、データプロセッサはスリープモードのような第1モードと共にライトスタンバイモードのような第2モードを有するから、低消費電力状態と動作状態との間の迅速な遷移と、低消費電力との双方の要求を満足させることができる。

【 0 0 6 0 】

モード制御回路は、スリープモードを設定した後、所定時間経過までに動作の指示が無いときはスリープモードをライトスタンバイモードに遷移させるから、一定時間データプロセッサが動作しない場合に自動的に電力消費を低減することができる。しかも、ライトスタンバイモードでは通倍・分周動作は継続されるから、その後の動作状態への遷移も迅速である。

【 0 0 6 1 】

前記所定時間経過をタイマによる所定値までの計数動作によって得るようにすれば、スリープモードからライトスタンバイモードへ自動的に遷移させる構成を容易に実現することができる。

【 0 0 6 2 】

前記タイマによる所定値までの計数動作途上でDMA転送要求があったとき、これに応答して計数値を初期化して実質的な計数を抑止し、DMA転送後に計数を再開させてライトスタンバイモードへ遷移させるから、スリープモードにおいてDMACがDMA転送制御を行っている途中で動作モードが自動的にライトス

タンバイモードに遷移する虞を未然に防止することができる。

【 0 0 6 3 】

前記データプロセッサを採用したデータ処理システムは、低消費電力状態から動作状態への迅速な遷移と、低消費電力との双方の要求を満足することができる。低消費電力という点で、特に、バッテリー電源を動作電源とするデータ処理システムに好適である。

【図面の簡単な説明】

【図 1】

本発明に係るデータプロセッサの第 1 の例を示すブロック図である。

【図 2】

クロックパルスジェネレータの一例を示すブロック図である。

【図 3】

CPU 2 のクロック入力系を例示するブロック図である。

【図 4】

クロック制御回路における制御レジスタの設定値と低消費電力モードとの関係を例示する説明図である。

【図 5】

プログラム実行状態と低消費電力モードとの間の状態遷移を例示する説明図である。

【図 6】

図 1 のデータプロセッサが高速化するほどライトスタンバイモードによる低消費電力の効果が大きくなる例を示すタイミングチャートである。

【図 7】

周辺回路モジュールとしてDMACを内蔵するデータプロセッサを例示するブロック図である。

【図 8】

スリープモードからライトスタンバイモードへの自動的な遷移を採用しないデータプロセッサを例示するブロック図である。

【図 9】

図 1 のデータプロセッサを適用した携帯電話システムのブロック図である。

【図 1 0】

携帯電話システムの動作状態に応答して変化するデータプロセッサ 1 の動作状態の遷移経過を例示するタイミングチャートである。

【符号の説明】

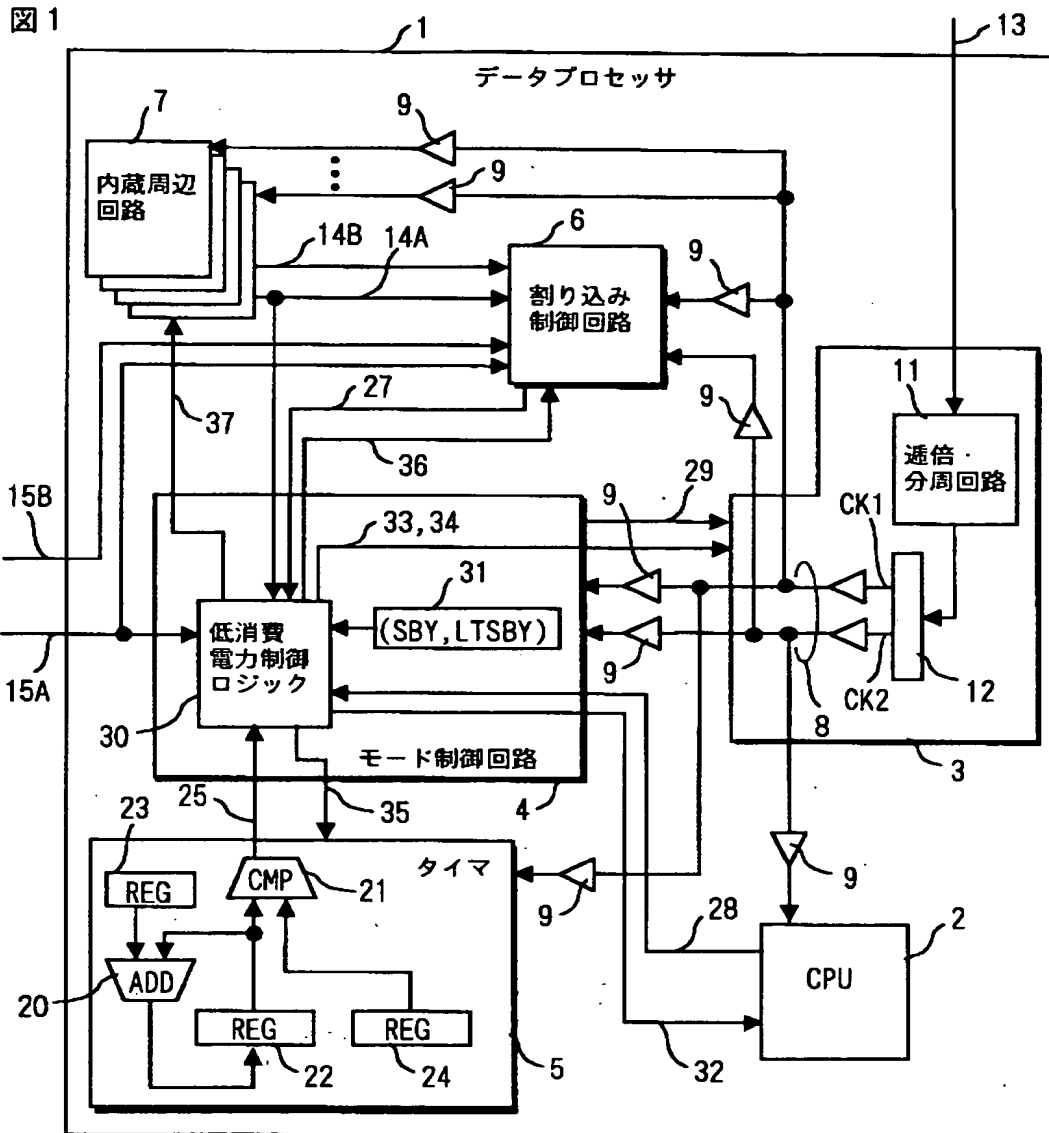
- 1、1 A、1 B データプロセッサ
- 2 CPU
- 3 クロックパルスジェネレータ
- 4 モード制御回路
- 5、5 A、5 B タイマ
- 6 割り込み制御回路
- 7 内蔵周辺回路
- 1 1 通倍・分周回路
- 1 2 クロック選択回路
- CK 1、CK 2 同期クロック信号
- 1 4 A、1 4 B 内部割り込み要求信号
- 1 5 A、1 5 B 外部割り込み要求信号
- 2 5 タイムアウト信号
- 3 0 低消費電力制御ロジック
- 3 1 制御レジスタ
- SBY スタンバイビット
- LTSBY ライトスタンバイビット
- 3 2、3 3、3 4、3 5、3 6、3 7 クロック制御信号
- 4 0 分周器
- 4 1 PLL回路
- 4 7、4 8 クロック出力回路
- 5 0 クロック入力回路
- 6 0 DMAC
- 6 1 DMA転送要求信号

特2000-362668

76 A/D

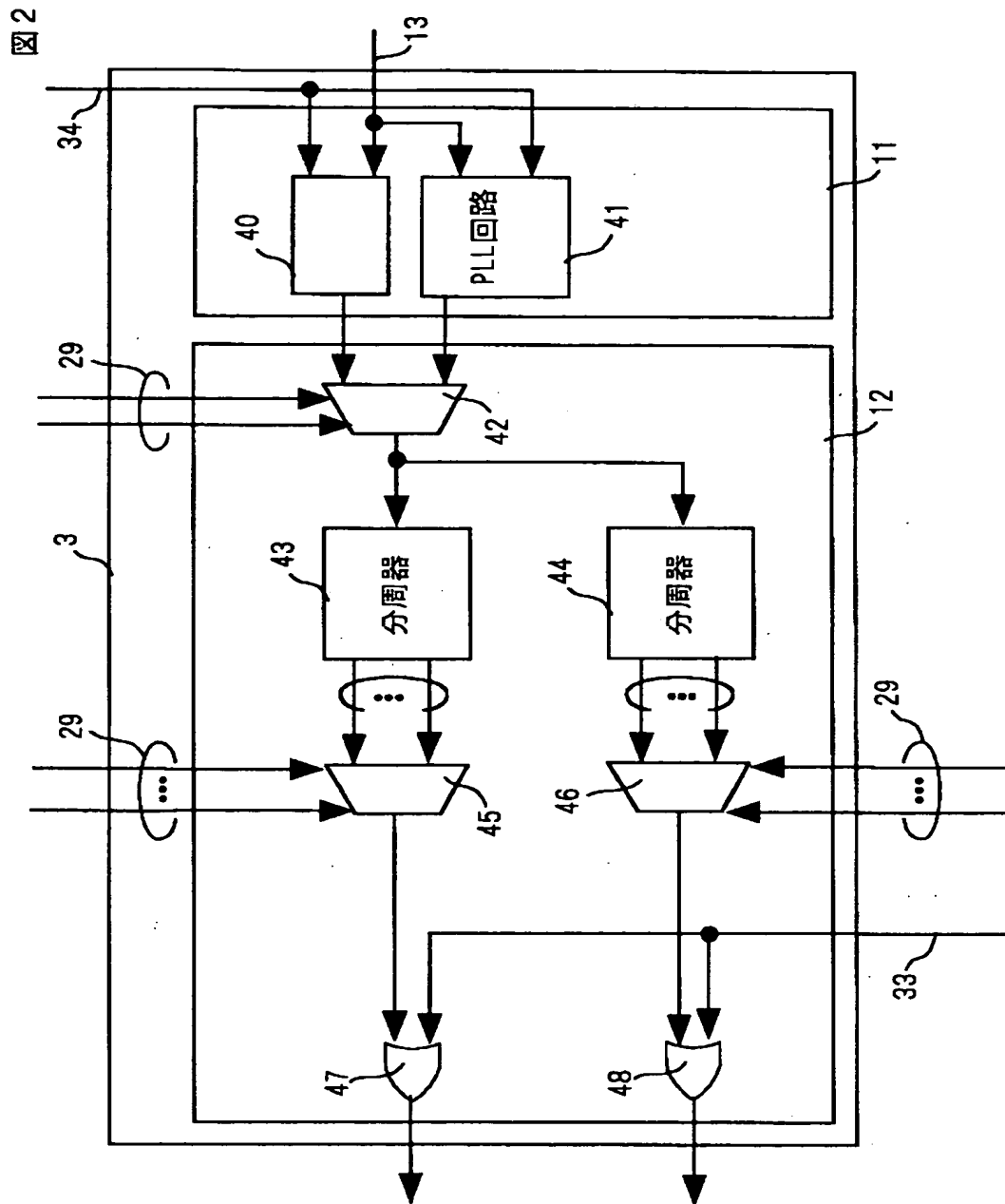
【書類名】 図面

【図 1】

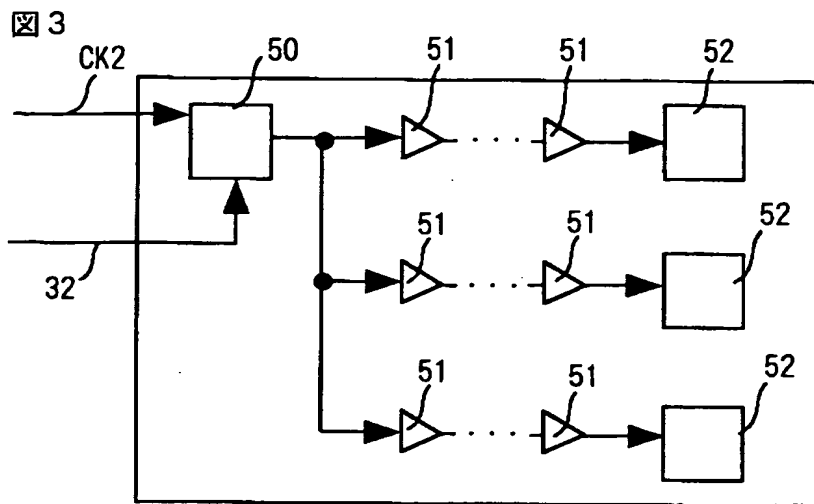




【図 2】



【図 3】



【図 4】

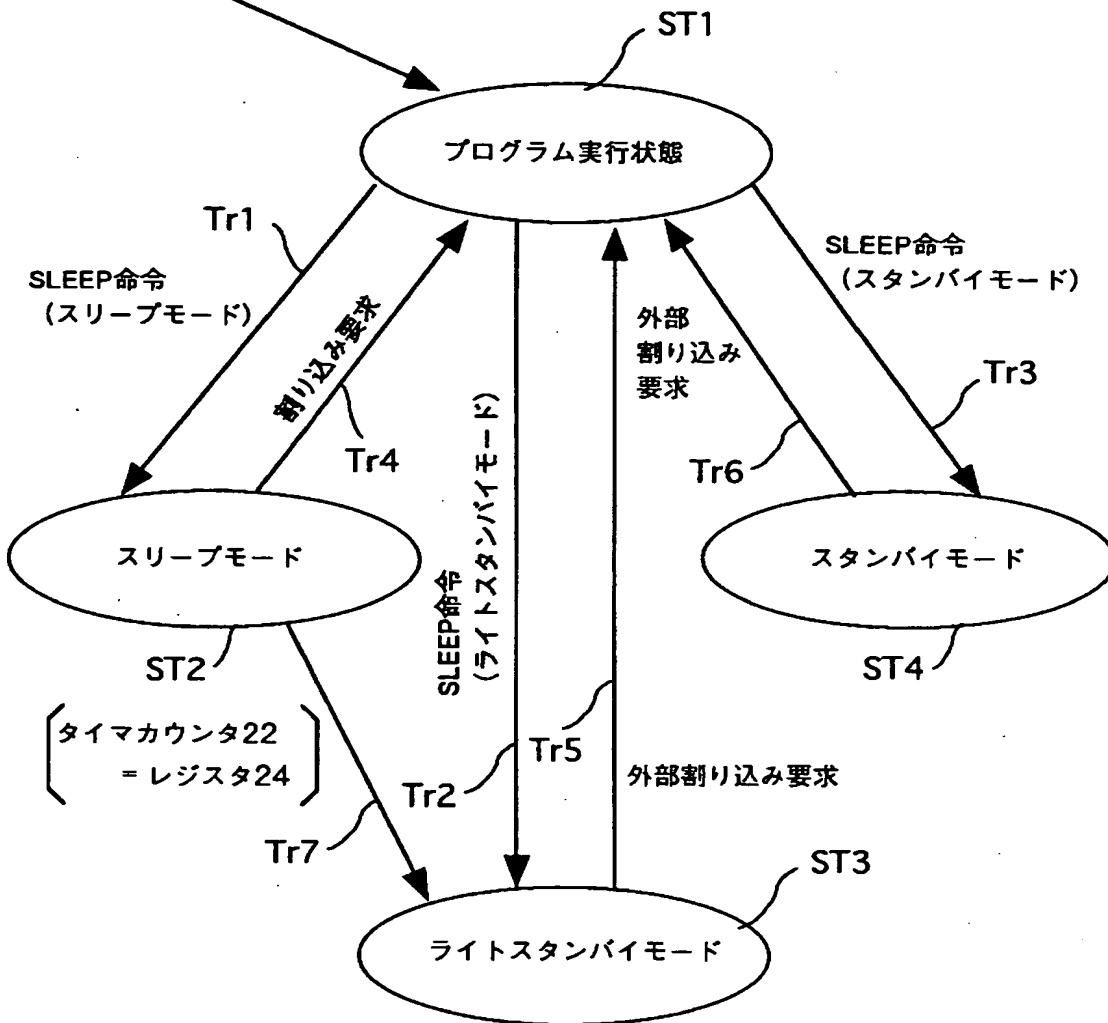
図 4

SBY	LTSBY	スリープ命令実行時の動作モード遷移
0	0	スリープモード
0	1	ライトスタンバイモード
1	0	スタンバイモード
1	1	スタンバイモード

【図 5】

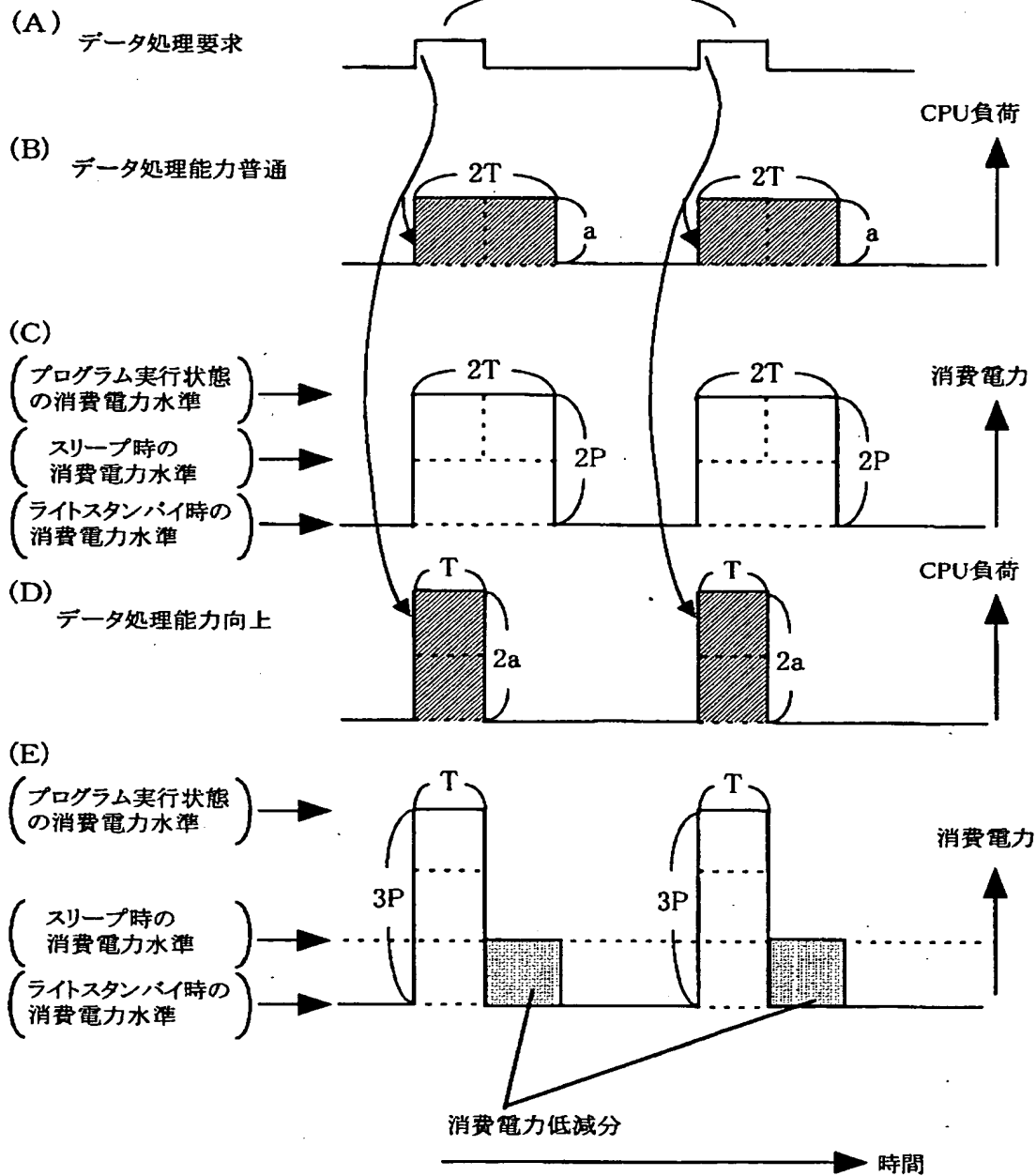
図 5

パワーオンリセット

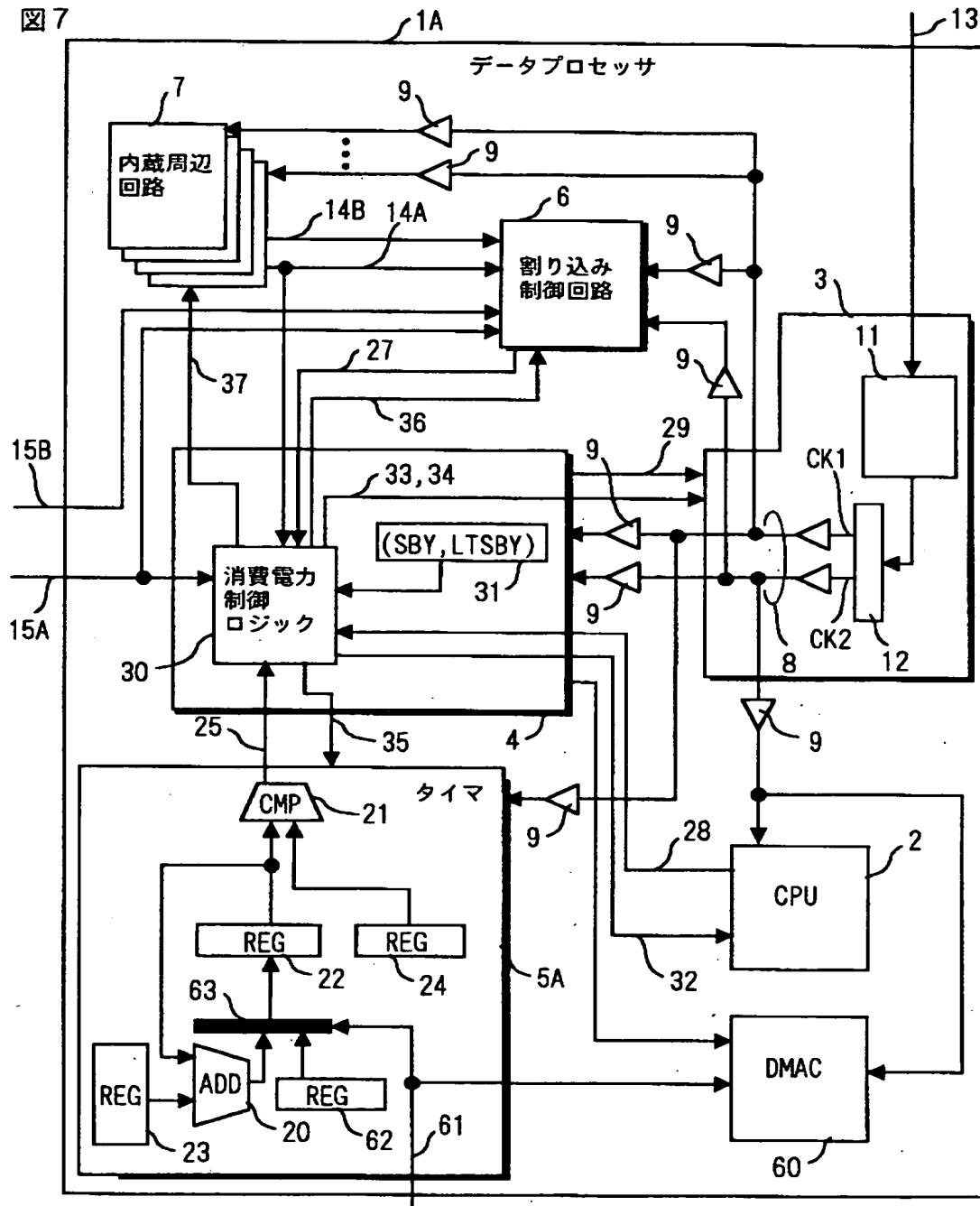


【図 6】

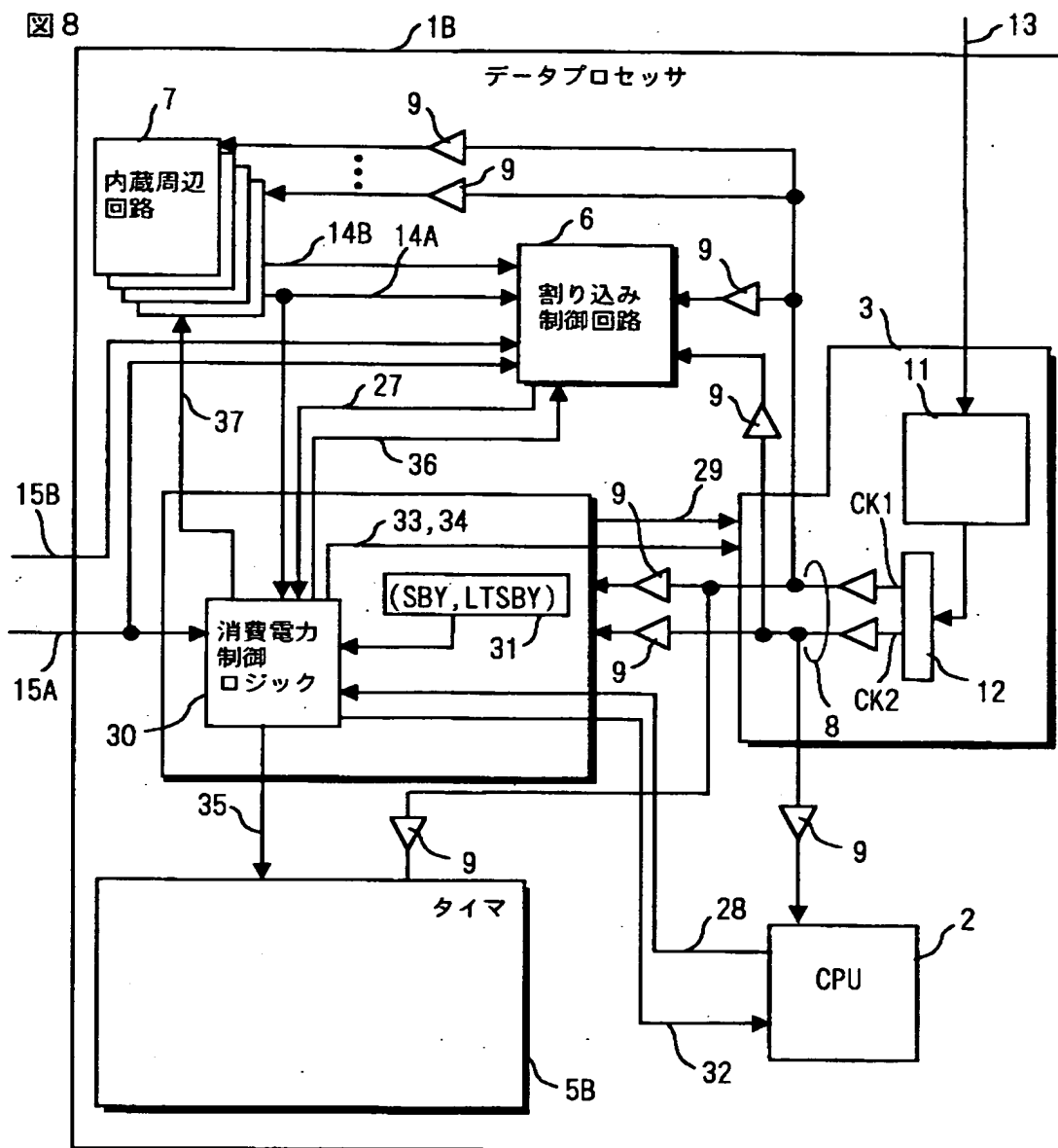
図 6



【図 7】

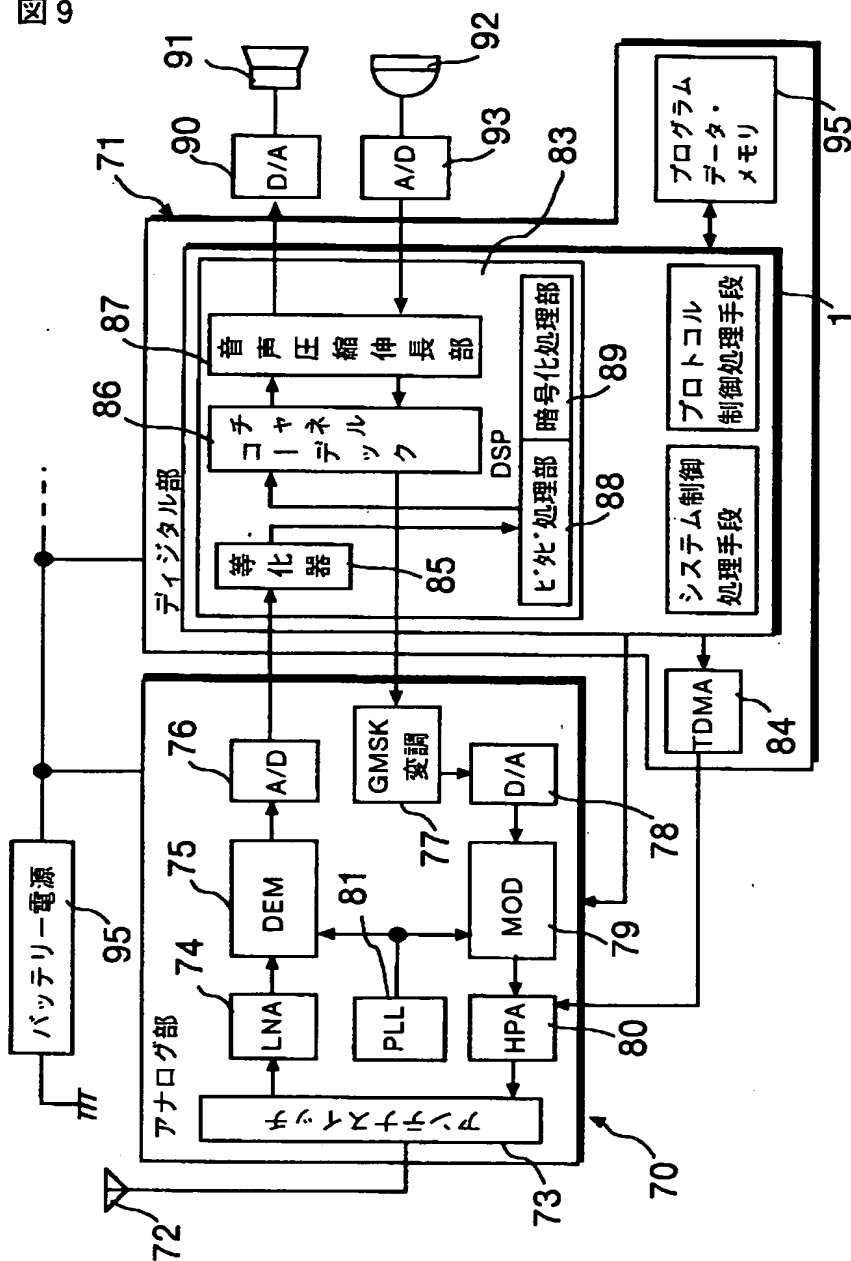


【図 8】

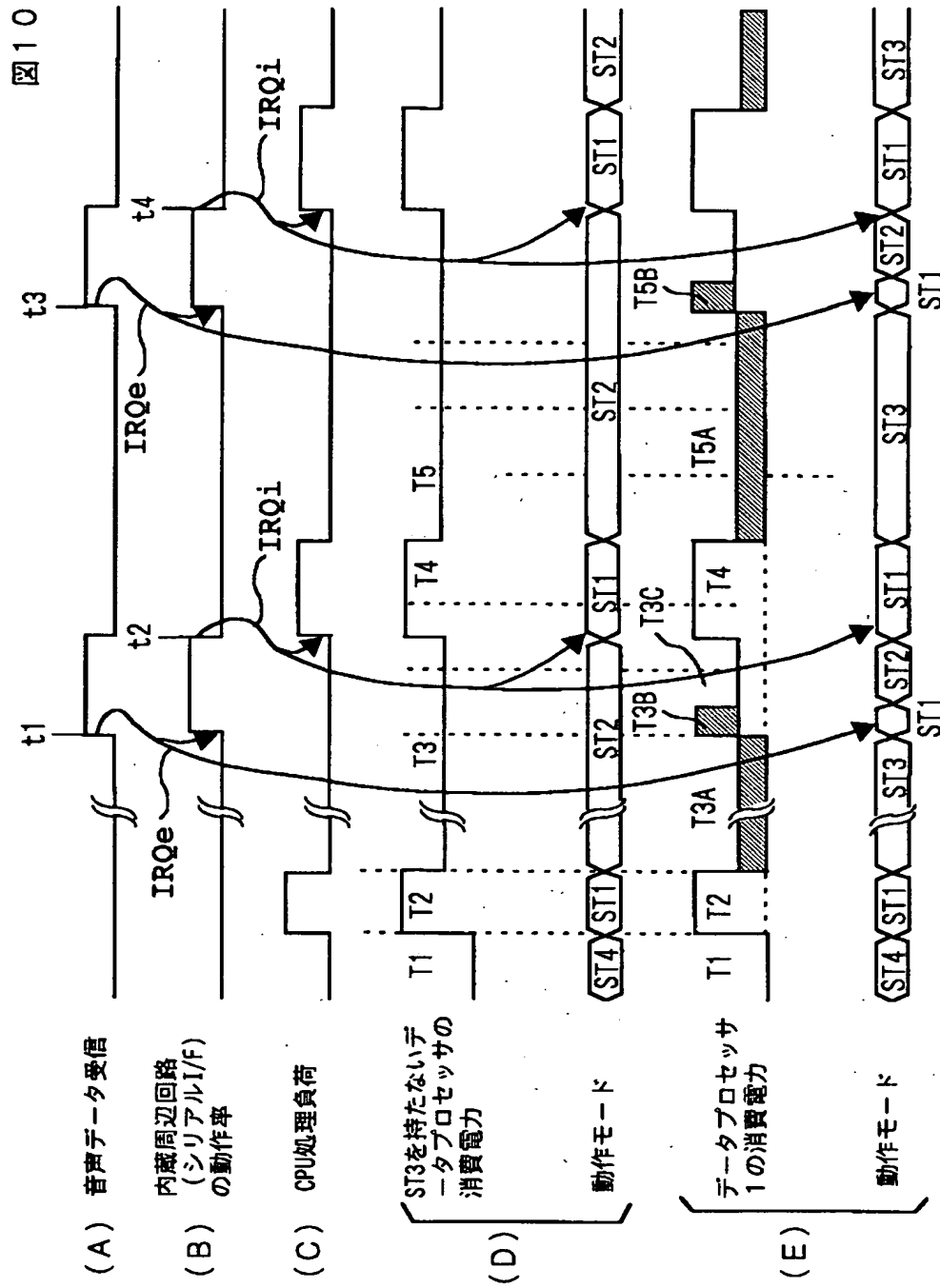


【図9】

図9



【図10】





【書類名】 要約書

【要約】

【課題】 低消費電力状態から動作状態への迅速な遷移と、低消費電力との双方の要求を満足させることができるデータプロセッサを提供する

【解決手段】 データプロセッサ（１）はスタンバイモード、ライトスタンバイモード及びスリープモードを有する。スリープモードではＣＰＵ（２）への同期クロック信号の供給が停止され、その他の回路モジュール（４～７）へ同期クロック信号が供給される。スタンバイモードではクロックパルスジェネレータ（３）の逡倍及び分周動作が停止され且つＣＰＵ及びその他の回路モジュールへの同期クロック信号の供給が停止される。ライトスタンバイモードではクロックパルスジェネレータの逡倍及び分周動作が可能にされ且つＣＰＵ及びその他の回路モジュールへの同期クロック信号の供給が停止される。ライトスタンバイモードはスタンバイモードよりもＣＰＵの命令実行可能状態への遷移が速く、しかも、スリープモードよりも低消費電力である。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所